

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-209049

(43)Date of publication of application : 26.07.1994

(51)Int.Cl. H01L 21/90
H01L 21/316
H01L 21/3205
H01L 29/784

(21)Application number : 05-237814 (71)Applicant : SAMSUNG ELECTRON CO LTD
(22)Date of filing : 24.09.1993 (72)Inventor : KIM SOO-KWAN

(30)Priority

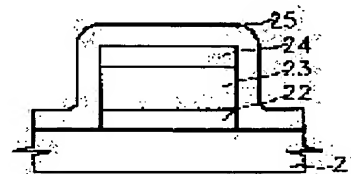
Priority number : 92 9217608 Priority date : 26.09.1992 Priority country : KR

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To carry out an oxidization step for a silicide without a structural defect at a polysilicon gate, by oxidizing a polycide structure made up of a gate insulating film, a first conductive layer containing silicon and a silicide layer on a semiconductor substrate in an atmosphere of oxygen and hydrogen chloride.

CONSTITUTION: A gate oxide film 22 is formed on a semiconductor substrate 21. A first conductive layer 23 that includes polysilicon and single crystal silicon is formed thereon. A silicide layer 24 is formed on the first conductive layer 23. The wafer with a polycide structure is loaded in a reactive container. The wafer is oxidized in a dry state in an atmosphere of oxygen and hydrogen chloride for a given time to form a silicon oxide layer 25 on the silicide layer 24. During the oxidization of the silicide layer 24, the oxidization step is stabilized by oxygen and hydrogen chloride, and the consumption of silicon is kept constant, and thereby a structural defect on the surface of the first conductive layer can be prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-209049

(43)公開日 平成6年(1994)7月26日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H01L 21/90	P	7514-4M		
21/316	S	7352-4M		
21/3205				
		7514-4M	H01L 21/ 88	Q
		9054-4M	29/ 78	301 G
	審査請求	未請求	請求項の数5	OL (全5頁) 最終頁に続く

(21)出願番号 特願平5-237814

(22)出願日 平成5年(1993)9月24日

(31)優先権主張番号 1992-017608

(32)優先日 1992年9月26日

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 金 守官

大韓民国京畿道水原市八達区梅灘3洞1178

-12番地

(74)代理人 弁理士 小堀 益

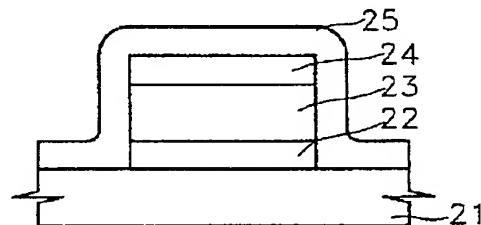
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【目的】 シリサイドの酸化過程を含む半導体装置の製造方法を提供する。

【構成】 半導体基板21上にゲート絶縁膜22、シリコンを含んだ第1導電層23、シリサイド層24が順に積層されたポリサイド構造を形成する段階と、前記ポリサイドの形成された構造物を酸素と塩化水素ガス雰囲気下で乾式酸化させ前記構造物上にシリコン酸化膜25を形成する段階を具備した半導体装置の製造方法。

【効果】 これにより、ポリサイド構造のゲート線や配線層が従来の技術により発生する構造的欠陥なく良好に形成され半導体装置の信頼性と生産性が向上される。



【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜、シリコンを含んだ第1導電層、シリサイド層が順に積層されたポリサイド構造を形成する段階と、
前記結果の構造物を酸素と塩化水素ガス雰囲気下で乾式酸化させ前記構造物上にシリコン酸化膜を形成する段階を具備してなることを特徴とする半導体装置の製造方法。

【請求項2】 前記第1導電層はポリシリコンを含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 ゲート絶縁膜、シリコンを含んだ第1導電層、シリサイド層が順に積層されたポリサイド構造物を第1温度状態の反応器内にローディングする段階と、
前記反応器内の温度を第2温度状態まで上げた後窒素ガス雰囲気下で第1次アニーリングする段階と、
前記シリサイド層を酸素と塩化水素ガス雰囲気下で乾式酸化する段階と、 前記酸素と塩化水素ガスを止め窒素雰囲気下で第2次アニーリングする段階と、
前記反応器内の温度を第3温度状態まで下げた後前記構造物をアンローディングする段階を具備してなることを特徴とするシリサイドの酸化方法。

【請求項4】 前記第1温度状態は $650 \pm 10^\circ\text{C}$ の範囲内であることを特徴とする請求項3記載のシリサイドの酸化方法。

【請求項5】 前記第2温度状態は $900 \pm 20^\circ\text{C}$ の範囲内であることを特徴とする請求項3記載のシリサイドの酸化方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に係り、特に配線の抵抗を低めるために形成されるシリサイド (silicide) の酸化方法に関する。

【0002】

【従来の技術】 半導体装置の集積化技術が発展し超高集積回路VLSIが実現されることにより、特にデザインルール $1\mu\text{m}$ (又はその以下) に縮小された場合配線に起因する抵抗及びキャパシタンスの減少に対する要求が非常に切実である。特にMOS (metal oxide semiconductor) 構造では更に切実であり、回路を動作することにおいて配線構造に基づいたRC (resistance capacitance) 遅延 (delay) がゲートスイッチングに従う遅延を超過するに至った。配線の $R \times C$ の値が大きいほど回路動作速度はこのRC遅延により制限を受ける。結局、高集積、高性能のデバイスを製造するにおいて、配線の低抵抗化が決定的なものとなる。

【0003】 最近、配線の抵抗率をポリシリコンの抵抗率 $15 \sim 30 \Omega/\text{cm}^2$ より低めようとする幾つかの試みがあった。その中で配線材料を抵抗率の少ないアルミニウムで対置させる方法がある。しかしながら、アルミニウムの溶融温度及び共融温度が低いので全ての後続工

程を 500°C 以下で遂行すべきである。しかしながら、実際幾つかの製造工程 (例えば、ソースドレインイオン注入の後熱処理、酸化ガラス物質のフロー/リフロー) は 500°C 以上で遂行すべきなのでアルミニウムは配線材料として不適である。

【0004】 配線の抵抗を減少するための他の方法として、ポリシリコンに代わり高融点金属 (refractory metal) のタングステンW、タンタルTa、チタニウムTi、モリブデンMo等を直接配線材料で使用したり、これら高融点金属とシリコンSiとの混合物状態の高融点金属シリサイド (例: WSi_2 、 TiSi_2 、 MoSi_2 、 TaSi_2) を直接使用する方法がある。

【0005】 又、不純物の注入されたポリシリコン上に低抵抗性物質 (例えば、前記高融点金属シリサイド) を形成した多層構造のポリサイド (polycide) 構造が抵抗率減少のための配線に使用される。

【0006】 一般的に高融点金属は高い溶融温度にもかかわらずそれらの酸化物の膜質特性が劣悪であり、それにモリブデン、タングステンの酸化物は揮発性を帯びたりもする。更に高融点金属はその自体の不純物に基づきMOSトランジスタのゲート電極に用いられる場合一定したスレショルドを得るのが非常に困難である。これは高融点金属シリサイド自体を単独にゲート電極層や配線層に使用する場合にも高融点金属単独で 사용되는場合と似た問題が発生する。従って、前記問題を誘発しないポリサイド構造がポリシリコンを置換する配線層として支配的な位置を占めるようになった。

【0007】 一方、シリコン上にシリサイドを形成する幾つかの方法があり、それぞれは熱処理段階を伴う蒸着を含む。即ち、1)シリコン上に純粋な金属の蒸着、2)二供給源からシリコンと高融点金属を同時に蒸発、3)コースパッタリング (co-sputtering) 又は複合物ターゲットからシリサイドをスパッタリング蒸着する方法がある。

【0008】 一方、VLSI製造過程でシリサイド上に後続され形成されるポリシリコンや金属層との分離のために絶縁層をポリサイド構造の上部表面に形成する。蒸発蒸着されたシリコン酸化膜 SiO_2 やシリコンナイトライド膜 Si_3N_4 がこの場合に使用され得るが、一般的に熱的に成長したシリコン酸化膜が良好な膜質特性を持つようになるので層間分離のための絶縁層として主に用いられている。

【0009】 ポリシリコンや単結晶シリコン上に形成された全ての金属のシリサイド膜を酸化雰囲気下で熱処理すればその表面にシリコン酸化膜 SiO_2 が形成される。これにより電気的、物理的に良好な特性を示す絶縁層が得られる。

【0010】 図1は従来のポリサイド構造のシリサイドを熱酸化させる工程を示す。

【0011】 より詳細には、先ずその表面にポリサイド

構造を有するウェハを窒素 N_2 、雰囲気下の低温状態（例えば $650 \pm 10^\circ C$ ）の反応器内にローディングさせる。次いで、反応器内の温度を徐々に上げる。

【0012】反応器内の温度がシリサイドの酸化が起こる位の一定水準（例えば $900 \pm 20^\circ C$ ）に達した後、ウェハを同じ温度で一定に保ったまま30分位にアニーリングする。

【0013】次に、同じ温度を維持したまま窒素及び酸素 O_2 、雰囲気下で約30分位で前記シリサイドを乾式酸化させる（即ち、 $Si + O_2 = SiO_2$ ）。

【0014】同じ温度で窒素ガスを止め酸素、水素ガス H_2 、雰囲気下で約5分位で前記シリサイドを湿式酸化する（即ち、 $Si + 2H_2O = SiO_2 + 2H_2$ ）。

【0015】次いで、酸素、水素を止め窒素ガス雰囲気下で一定の時間アニーリングした後反応器内の温度を徐々に下げウェハを取り出す。

【0016】以上のようなポリサイド構造で、シリサイドの酸化過程は次のような四つの主な段階からなると推定される。

- 【0017】1) SiO_2 層を通じた酸化体の拡散
- 2) シリサイド/ SiO_2 層界面での反応
- 3) シリサイド内で金属原子と関連したシリコン原子の移動
- 4) ポリシリコンからシリコン原子を取り外すポリシリコン/シリサイド界面での反応

（参照、「VLSI時代のシリコン処理（Silicon Processing for the VLSI Era）」、S. ウルフ（S. Wolf）及びR. N. タウバー（R.N. Tauber）、vol.1.1986, pp 395-396）

前記のように、シリサイドはシリサイド内にあるシリコン原子と反応器内の酸化体が反応し酸化され、従ってシリコン酸化膜がシリサイド層の表面に形成される。ここで、酸化過程の間にシリサイド内の消耗されたシリコン原子はポリシリコンから出たシリコン原子により対置される。酸化反応が続けられることによりシリサイド上のシリコン酸化膜は続けて厚くなる。

【0018】一方、酸化体がシリコン酸化物を通じて拡散されるにつれシリサイド/シリコン酸化物界面で常に酸化反応が起こる。

【0019】図2は従来の技術により製造されたポリサイド構造を含む半導体装置を示す断面図である。

【0020】図2を参照すれば、ポリシリコン層13とシリサイド層14から構成されるポリサイド構造が半導体基板11上に形成されたゲート酸化膜12上に形成されている。そして、シリコン酸化膜15がポリサイドと半導体基板11の全表面に形成され、これは図1に示した従来の技術に従いシリサイドの酸化過程により形成される。

【0021】しかしながら、従来のような乾式酸化と湿式酸化の連続工程によると、湿式酸化過程の中水素ガス

がシリサイドの酸化を持続的に加速化させる。その結果、図2の凹形のようにポリシリコン層13のシリコンを部分的に過度に消耗させることにより、ポリシリコンとシリサイドに構造的な欠陥が発生する。こんな欠陥によりMOSトランジスタのスレショルド値が一定に維持され得ない。従って、このような構造的な欠陥は半導体装置の信頼性と生産性を悪化させる。

【0022】

【発明が解決しようとする課題】本発明の第一の目的は前記従来の技術の問題点を解決しポリシリコンゲートの構造的欠陥を誘発することなくシリサイドを酸化させ形成される半導体装置の製造方法を提供することである。

【0023】本発明の他の目的はポリサイド構造のシリサイドを酸化する方法を提供することである。

【0024】

【課題を解決するための手段】前記目的を達成するために、半導体基板上にゲート絶縁膜、シリコンを含んだ第1導電層、シリサイド層が順に積層されたポリサイド構造を形成する段階と、前記結果の構造物を酸素と塩化水素ガス雰囲気下で乾式酸化させ前記構造物上にシリコン酸化膜を形成する段階を具備してなることを特徴とする半導体装置の製造方法が提供される。

【0025】又、本発明によりゲート絶縁膜、シリコンを含んだ第1導電層、シリサイド層が順に積層されたポリサイド構造物を第1温度状態の反応器内にローディング（loading）する段階と、前記反応器内の温度を第2温度状態まで上げた後窒素ガス雰囲気下で第1次アニーリングする段階と、前記シリサイド層を酸素と塩化水素ガス雰囲気下で乾式酸化する段階と、前記酸素と塩化水素ガスを止め窒素雰囲気下で第2次アニーリングする段階と、前記反応器内の温度を第3温度状態まで下げた後前記構造物をアンローディング（unloading）する段階を具備してなることを特徴とするシリサイドの酸化方法が提供される。

【0026】

【作用】本発明によれば、シリサイドの酸化過程で酸素及び塩化水素ガスはシリサイドを安定に酸化させ、シリコンの消費量を一定に保つようにする。従って、前記第1導電層の表面に形成される構造的な欠陥が防止される。

【0027】

【実施例】以下、添付した図面に基づき本発明を詳細に説明する。

【0028】図4は本発明により製造された半導体装置の断面図である。

【0029】図4を参照すれば、半導体基板21上にゲート電極層又は配線層として、ポリサイド構造が形成される。前記ポリサイド構造はゲート酸化膜22、シリコンを含んだ第1導電層23、シリサイド層24が順に積層された構造である。又、前記結果物の全面にシリコン

酸化膜25が形成されている。前記第1導電層23としてポリシリコンや単結晶シリコンが使用できる。

【0030】図3は本発明によるシリサイドの酸化過程を示した概略図である。以下図3、図4を参照にして本発明の半導体装置の製造方法及びシリサイドの酸化方法を具体的に見る。

【0031】図4に示したように、先ず半導体基板21上にゲート酸化膜22を積層した後ポリシリコンや単結晶シリコン等シリコンを含む第1導電層23を順に積層する。次いで、前記第1導電層23上に、例えば直接的な金属反応 (direct metallurgical reaction)、同時蒸発蒸着 (co-evaporation)、スパッター蒸着 (コースパッタリング又は複合物ターゲットからのスパッタリング)、シリサイドの化学気相蒸着等従来の通常の方法によりシリサイド層を形成する。以後、パタニングしてポリサイド構造のゲート電極、又は配線層を形成する。

【0032】次いで、前記ポリサイド構造の形成されたウェハを反応器内にローディングさせる。

【0033】図3を参照すれば、前記反応器は窒素ガス雰囲気下に置かれており、その温度条件は、例えば $650 \pm 10^\circ\text{C}$ の範囲内である。先ず、窒素ガス雰囲気下で反応器内の温度を、例えば約25分間にわたって徐々に増加させた後一定の高温状態 (例えば $900 \pm 20^\circ\text{C}$) にする。次いで、同温度条件、ガス雰囲気下で一定時間 (例えば30分位) の間前記ウェハを第1次アニーリングする。

【0034】その後、温度条件をそのまま維持しながら酸素と塩化水素ガス雰囲気下で一定時間 (例えば62分位) の間前記ウェハを乾式酸化させ、この際シリサイド層24上にシリコン酸化物層25が形成される。この際窒素ガスは断絶された状態である。前記酸化体の酸素及び塩化水素ガスはシリサイドの酸化を安定にしシリコ

＊ンの消耗量を一定に保つ。無論、前記ポリサイド構造の側壁及び半導体基板21の露出された表面にもシリコン酸化膜25が形成される。

【0035】次に、温度条件をそのまま維持しながら酸素と塩化水素ガスを止め窒素ガス雰囲気下で、例えば約15分間第2次アニーリングする。そして、反応器内の温度を徐々に下げた後 (例を挙げれば約90分間にわたって $650 \pm 10^\circ\text{C}$ の範囲内の温度になるよう) ウェハを反応器でアンローディングさせる。

10 【0036】

【効果】以上で述べた実施例に見られる本発明によれば、前記シリサイド層24の酸化過程中、酸化体の酸素及び塩化水素ガスはシリサイドの酸化を安定にし、シリコン消費量を一定に保つ。それで、従来の技術で発生した第1導電層の表面で形成される構造形欠陥が防止される。

【0037】従って、MOSトランジスタのスレショルド電圧値や配線抵抗が一定に保たれ半導体装置の信頼性と生産性が非常に向上された。

20 【図面の簡単な説明】

【図1】 従来の技術によるシリサイド酸化過程を示す概略図である。

【図2】 従来の技術により製造された半導体装置の断面図である。

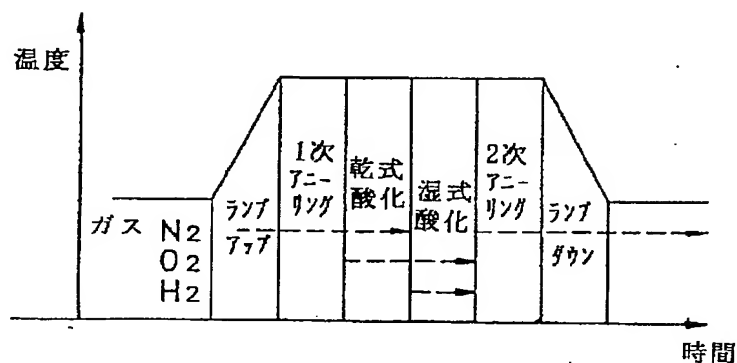
【図3】 本発明によるシリサイド酸化過程を示す概略図である。

【図4】 本発明により製造された半導体装置の断面図である。

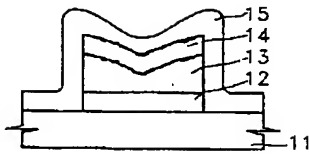
【符号の説明】

30 21 半導体基板、22 ゲート酸化膜、23 第1導電層、24 シリサイド層、25 シリコン酸化物層

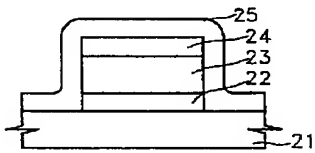
【図1】



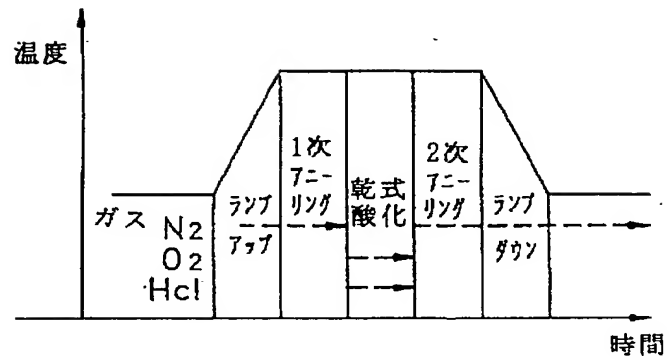
【図2】



【図4】



【図3】



フロントページの続き

(51)Int.Cl.⁵
H01L 29/784

識別記号

序内整理番号

F.I

技術表示箇所

THIS PAGE BLANK (USPTO)